

# VIŠEKANALNI $\Sigma\Delta$ A/D KONVERTOR ZA INTEGRISANI MERAČ POTROŠNJE ELEKTRIČNE ENERGIJE

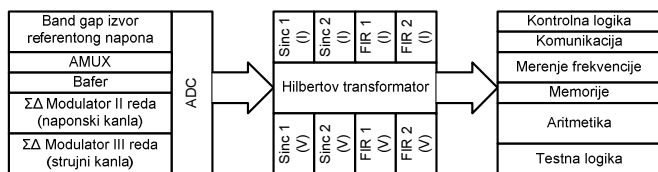
Dejan Mirković, *Elektronski fakultet, Univerzitet Niš, dejan.mirkovic@elfak.ni.ac.rs*  
 Predrag Petković, *Elektronski fakultet, Univerzitet Niš, predrag.petkovic@elfak.ni.ac.rs*

**Sadržaj** – U ovom radu predstavljene su tri arhitekture za integrisani, višekanalni sigma-delta AD konvertor. U skladu sa usvojenim rešenjem biće redizajniran ulazni (analogni) deo trofaznog, integrisanog merača potrošnje električne energije. Nova arhitektura podrazumera zamenu šest ADCs sa samo dva: jedan za konverziju naponskog ekvivalenta struja, a drugi za konverziju napona u trofaznom elektroenergetskom sistemu. Prema tome neophodno je uvesti koncept analognog multipliksiarnja koji prethodi samoj AD konverziji. Diskusije o prednostima i manama predloženih rešenja ilustrovane su simulacijama korišćenjem ADMS simulatora. ADMS je VHDL-AMS simulator za simulaciju kola sa mešovitim signalima i deo je Mentor Graphics paketa za projektovanje integrisanih kola.

## 1. UVOD

Analogni, ulazni deo integrisanog merača potrošnje električne energije (IMPEG) je relativno mali u poređenju sa digitalnim delom pogotovu kada se za meru uzme broj tranzistora. Međutim po svakom drugom aspektu ovaj deo je esencijalan za ispravno funkcionisanje kompletnog sistema na čipu (SoC). Drugim rečima funkcionalnost sistema na čipu u velikoj meri zavisi od ispravnosti rada analognog dela. Šta više, čak i male nepravilnosti u ovom bloku dovode do značajne degradacije mernih karakteristika sistema na čipu. Konačno samo projektovanje analognog dela čipa zahteva dosta projektantskog vremena, striktno pridržavanje pravila projektovanja kao i izuzetnu pažnju i koncentraciju projektanta.

U ovom radu se razmatraju mogućnosti redizajna ulaznog tzv. „prednjeg“ dela trofaznog merača potrošnje električne energije. Prva verzija IMPEG čipa (IMPEG-1) je projektavna za merenje električne energije u monofaznim sistemima [1, 2, 3]. Glavni gradivni blokovi ovog čipa su analogni, ulazni deo, digitalni filtri i blok za digitalnu obradu signala (DSP) kao što je to prikazano na blok šemi sa slike 1.



Sl.1. Struktura čipa IMPEG-1

Merenje električne energije bazira se na merenju trenutnih vrednosti napona i struje. Ove vrednosti uzorkuju se (sempljuju) u dva odvojena kanala koja sadrže posebne sigma-delta modulare u svakom kanalu po jedan. Signal dobijen na izlazu modulatora vodi se dalje na decimacione filtre. Blokovi sigma-delta Modulatora i filtera zajedno čine sigma-delta AD konvertor. Nakon decimacije na izlazu filtera se dobija 19-bitna reč koja se dalje, putem interne magistrale, smešta u odgovarajuće registre i predaje DSP bloku na dalju obradu. Na osnovu dobijenih podataka u DSP-u se proračunavaju aktivna, reaktivna i prividna snaga i konačno energija. Tačnost izračunate snage i energije u najvećoj meri zavisi od preciznosti merenja struje i napona. IMPEG-1 je

projektovan 2003/04 u laboratoriji LEDA Elektronskog fakulteta u Nišu, a 2005 fizički su realizovani i testirani prvi prototipovi.

LEDA tim, ohrabren dobijenim rezultatima isprojektovao je trofaznu verziju IMPEG čipa 2006/07 (IMPEG-2). Osnovna razlika u odnosu na prethodnu verziju odnosi se na promene u digitalnom delu, dok je analogni deo uslovno rečeno, utrostručen.

Glavni motiv LEDA tima za dalja poboljšanja nove verzije IMPEG čipa se odnose na optimizaciju površine, potrošnje i performansi rada. Tako da su u digitalni deo uvedena poboljšanja u smislu temperaturne samo-kalibracija i tehnika projektovanja za malu potrošnju (*low-power*) integrisanih kola (IC). Što se tiče analognog dela, cilj je da se smanji površina čipa za onoliko sigma-delta modulatora za koliko je to moguće, a da se, naravno, pri tom zadrži funkcionalnost kola. U ovom radu se razmatraju moguće arhitekture višekanalnog sigma delta A/D konvertora.

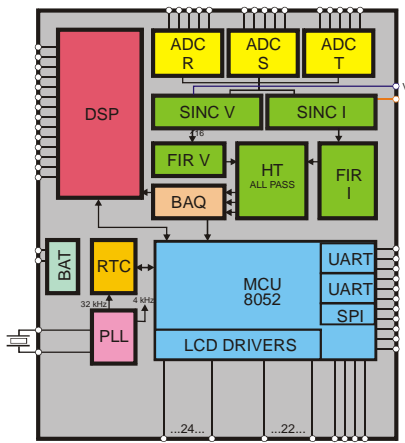
U narednom poglavlju dat je kratak pregled trenute verzije IMPEG kola posebne namene (ASIC). U trećem poglavlju prikazana su moguća rešenja za kompaktni ulazni analogni deo. Konačno u poslednjem poglavlju prezentovana je izabrana arhitektura i prikazani neki rezultati funkcionalne simulacije.

## 2. IMPEG-2

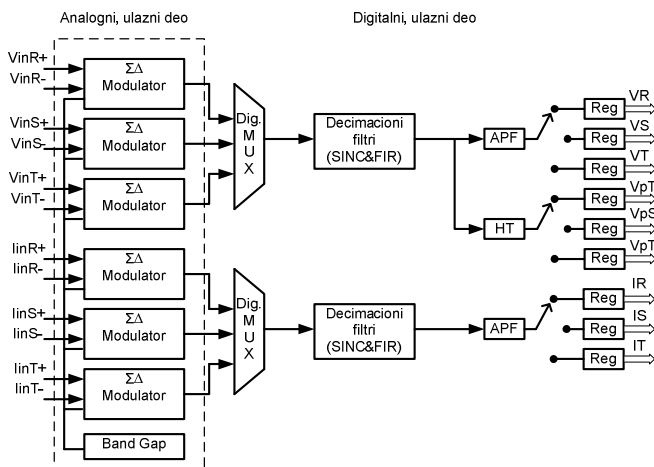
IMPEG-2 predstavlja trofaznu verziju IMPEG-1 čipa. Međutim ovakav čip nije dobijen prostim utrostručavanjem već projektovane verzije za monofazne sisteme.

Na slici 2 prikazana je unutrašnja struktura IMPEG-2 [4] na blokovskom nivou. Kao što je već napomenuto, glavne izmene i poboljšanja su izvedena u digitalnom delu. Za razliku od prethodne verzije, blok za proračunavanje (DSP) osnovnih parametara elektroenergetske mreže dopunjen je implementacijom jezgra mikrokontrolera arhitekture 8052 preko koga se kontroliše rad celog kola i komunicira sa perifernim blokovima. Značajnu novinu u odnosu na prethodnu varijantu čipa predstavljaju ugrađeni LCD dražveri, sat realnog vremena, digitalna PLL, originalno rešenje bloka za akviziciju kao i digitalni blok za prebacivanje na baterijsko napajanje. Pored toga znatno je modifikovan hardver u bloku digitalnih filtera [5]. Naime Sinc, FIR i Hilbert filtri su implementirani u vidu kompaktne MAC arhitekture gde je primenjena tehnika vremenskog multipleksiranja. Kao rezultat ukupna površina filtera u kojima se obrađuju signali za sve tri faze uvećana je samo za 3% u odnosu na realizaciju u monofaznoj verziji. Praktično, sve tri faze u naponskom i strujnom kanalu dele isti hardver za digitalno filtriranje kao što je to prikazano na slici 3.

Očigledno, šest sigma-delta modulatora kvare kompaktnost arhitekturnog rešenja IMPEG-2 čipa. U narednom poglavlju razmotrene su mogućnosti za postizanje kompaktnijeg rešenja u ovom delu čipa. Sva predložena rešenja se baziraju na multipleksiranju ulaznih signala.



Sl.2. Struktura čipa IMPEG-2.

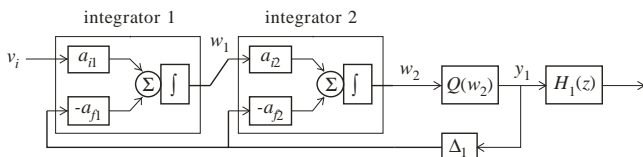


Sl.3. Struktura čipa IMPEG-2.

### 3. MULTIPLESIRANI SD MODULATOR

Osnovna zadatak je da se „uštedi“ površina u analognom delu čipa za onoliko modulatora za koliko je to moguće bez gubitka funkcionalnosti. Ujedno treba težiti tome da ostatak već projektovanih i testiranih makro ćelija pretrpi minimalne izmene. To podrazumeva da red modulatora kao i njegovi osnovni gradivni blokovi (integratori, operacioni pojačavač, izvor referentnog napona (bandgap), kvantizer i jednobitni DA konvertor (SR flip flop)) ostanu neizmenjeni koliko god je to moguće.

Principijelna blok šema korišćenih sigma-delta modulatora prikazana je na slici 4.



Sl.4. Struktura sigma-delta modulatora drugog reda.

Integratori su realizovani kao SC (Switch Capacitor) kola. [6]. U praktičnoj realizaciji korišćena je diferencijalna arhitektura, ali će na dalje u ovom radu, predložena rešenja biti prezentovana kao obična, jednostruka arhitektura. Slika 5 ilustruje Sigma-delta modulator drugog reda realizovan kao SC kolo pogodno za implementaciju u standardnoj CMOS tehnologiji. Pojednostavljeni prikaz ima za cilj da olakša objašnjenja koja slede.

Posmatrajući slike 3 i 5 može se zaključiti da je najkompaktnije rešenje zamena svih šest modulatora jednim kome prethode SH (Sample&Hold) kola i jedan 6 u 1 analogni multiplexer. Rešenje je ilustrovano na slici 6, a inspirisano sa [6, 7].

Svih šest ulaza, tri za napone trofaznog naizmeničnog sistema označenih sa VR, VS, VT i tri za odgovarajuće struje, dovode se do ulaza analognog multiplexera. Međutim kako bi se zadržala ista frekvencija semplovanja kao i u originalnom kolu (slika 3) i održala konzistentost vremena semplovanja signala sa svih šest kanala, neophodno je uvesti SH kola. Svi analogni signali treba da budu uzorkovani sa istom frekvencijom koja u originalnom kolu iznosi 524288Hz. Vreme držanja SH kola mora da traje dovoljno dugo kako bi konverzija svih šest signala bila moguća. Da bi se ovo ostvarilo neophodna je najmanje 6 puta veća frekvencija taktovanja u SC kolu integratora. Odnosno treba da iznosi približno 3.14MHz.

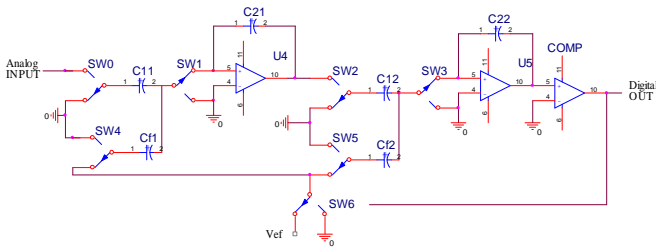
Digitalni filtri prihvataju odmerke sa izlaza sigma-delta modulatora frekvencijom od 524188Hz i oni se smeštaju u odgovarajuće registre. Na taj način je ostvarena kompatibilnost prenosa podataka sa digitalnim delom čipa. Naime, ovaj deo čipa ne zahteva nikakve izmene.

Kako su poznate dinamičke i frekvencijske karakteristike već isprojektovanog operacionog pojačavača u SC kolu integratora ( $GBW = 7.3MHz$ ,  $Slew\ rate = 5V/\mu s$ , ... [8]), predložena arhitektura se već približava gornjoj granici prihvatljivosti, tako da ne predstavlja zadovoljavajuće rešenje. Drugim rečima verovatno bi zahtevala redizajn samog operacionog pojačavača.

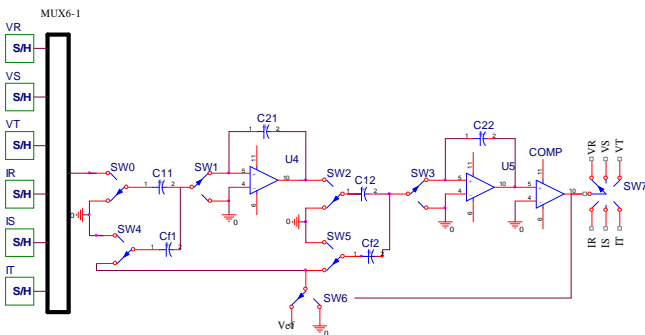
Suprotno rešenje bi bilo da se multipleksiraju samo dva kanala: jedan naponski, i drugi odgovarajući strujni kroz jedan sigma-delta modulator. Za naš trofazni merač bi bile neophodne tri takve strukture. U tom slučaju bila bi potrebna samo duplo veća frekvencija prekidanja SC kola u odnosu na osnovnu frekvenciju uzorkovanja što iznosi približno 1.05MHz. Što se tiče dimaničkih karakteristika operacionog pojačavača ovo rešenje je ispod kritične granice tako da predstavlja izvodljivo rešenje. Međutim ukupna ušteda u površini je samo za 1/2 broja modulatora u odnosu na originalno kolo. Pored toga, sukcesivno semplovane vrednosti napona i odgovarajuće struje u istom modulatoru predstavljaju dve veličine koje se, najčešće značajno razlikuju usled različitog dinamičkog opsega u strujnom i naponskom kanalu.

Treće rešenje za multipleksirani AD konvertor koji bi ispunjavao projektne zahteve bilo bi da se uvede multipleksiranje posebno naponskog i posebno strujnog kanala. Takva arhitektura bi zahtevala najmanje izmene u analognom delu kola. Poznato je da se radi o delu koji je najosetljiviji na tolerancije namenski projektovanih komponenta usko vezanih za tehnologiju izrade integrisanog kola (IC). Praktično treba uvesti dva analogni multipleksera 3 u 1 i to jedan za naponski, a drugi za strujni kanal. Ovakva arhitektura se uklapa u arhitekturu protoka signala postojećeg rešenja prikazanog na slici 3. Na ovaj način strujni i naponski kanal ostaju odvojeni, tako da se izbegava problem konverzije različitih dinamičkih opsega signala u strujnom i naponskom kanalu. Šta više, u poređenju sa šestokanalnim multipleksiranjem ovde se zahteva relativno malo uvećanje frekvencije prekidanja SC kola. U ovom slučaju faktor uvećanja je 3 što približno daje vrednost od 1.57MHz za frekvenciju prekidanja SC kola. Ukupna površina se smanjuje za nešto više od 1/3 jer praktično ostaju samo dva sigma-delta modulatora, jedan za naponski, a drugi za strujni kanal.

Ono što se nameće kao potencijalni problem prilikom realizacije jeste generisanje frekvencije prekidanja ( $f_{sw}$ ) 3 puta veće od frekvencije odmeravanja ( $f_s = 524288\text{Hz}$ ). Tako da će se verovatno koristiti 4 puta veća frekvencija prekidanja jer je faktor uvećanja u ovom slučaju oblika  $2^M$  što je neopredivo lakeše realizovati. U tom slučaju  $f_{sw}$  je približno  $2.1\text{MHz}$  što se i dalje uklapa u dinamičke karakteristike preprojektovanog operacionog pojačavača.



S1.5. Sigma-delta modulator drugog reda realizovan kao SC kolo pogodno za implementaciju u standardnoj CMOS tehnologiji.



S1.6. Jedan sigma-delta modulator drugog reda sa šest multiplexisanih ulaza/izlaza.

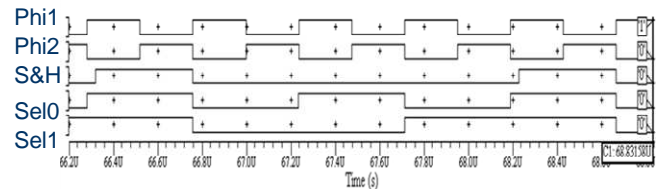
#### 4. REZULTATI SIMULACIJE

Usvojeno rešenje je verifikovano simulacijom na funkcionalnom nivou.

Prvo su generisani i potvrđeni VHDL-AMS modeli jednostavnijih analognih blokova kao što su SH kolo, analogni multiplexer, kvantizer. Zatim su formirani modeli ponašanja idealnog integratora u z-domenu i potvrđena funkcionalnost pojedinih blokova. Modeli blokova opisanih u VHDL-AMS jeziku verifikovani su primenom ADVancE (ADMS) simulatora koji je sastavni deo *Mentor Graphics* okruženja za projektovanje.

Na slici 7 ilustrativno su prikazani talasni oblici korišćeni za kontrolu rada SH kola ( $S\&H$ ) zajedno sa talasnim oblicima takt signala kojim se obavlja prekidanje u SC kolima ( $\Phi_{1-0}$ ) i selektorskim signalima analognog multiplexera ( $S_{el1-0}$ ).

Tokom visokog nivoa  $\Phi_{11}$ , ulazni signal se pojavljuje na kondenzatorima C11 i C12, dok se za vreme visokog nivoa na  $\Phi_{12}$ , naelektrisanje nagomilano u prethodnoj fazi na C11 i C12 prenosi na C21 i C22 (slika 5). Selektorski signali obezbeđuju da se na izlaz multiplexera odnosno ulazu modulatora nađe odgovarajući odmerak jednog od ulaznih signala napona ili struje. Tokom trajanja visokog naponskog nivoa na  $S\&H$ ; ulazni signali se uzorkuju, a pri niskim „drže“ konstantnu vrednost na izlazu SH kola.

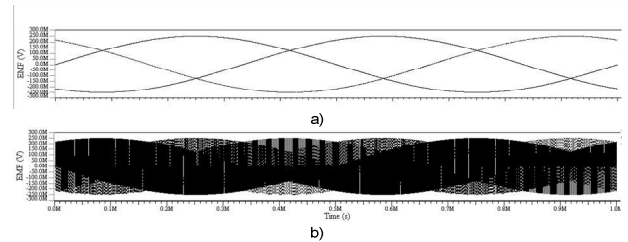


S1.7. Vremenski dijagram signala:  $S_{el0-1}$ - selektorski signali multiplexera,  $\Phi_{11-2}$ - takt signali prekidanja SC kola, ADC-u.

Simulacije su potvrdile očekivani način rada. Neki od reprezentativnih talasnih oblika prikazani su na sledećim slikama.

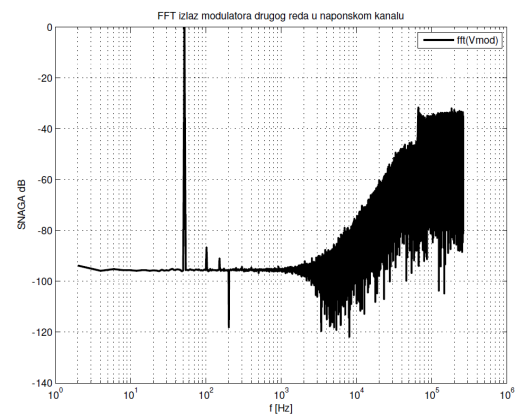
Slika 8 ilustruje rezultate funkcionalne simulacije analognog multiplexera 3 u 1. Slika 8.a. prikazuje tri napona za sve tri faze, dok slika 8.b prikazuje kompozitni signal dobijen sukcesivnim uzorkovanjem svih ulaznih napona. U njemu se mogu primetiti delovi vrednosti odgovarajućih ulaznih napona. Sigma-delta modulator je pobuđen ovakvim signalom.

Nakon modulacije na izlazu kvantizera dobija se povorka bitova koja pristiže u digitalni deo kola frekvencijom  $524288\text{kHz}$ . Nakon razdvajanja u digitalnom mutpleksu obavlja se digitalno filtriranje decimacionim filtrom sa faktorom decimacije 128. Konačno, na izlazu filtera dobija se 19-bitna digitalna reč koja se smešta u odgovarajući registar i kasnije isčitava sa frekvencijom od  $4096\text{Hz}$  što je i osnovna frekvencija takta rada digitalnog dela čipa.



S1.8. Rezultati simulacije dobijeni za analogni multiplexer 3 u 1, a) Ulaz, b) Izlaz.

Na slici 9 prikazan je izlaz modulatora drugog reda za jedan od konvertovanih napona nakon obrade brzom furijeovom transformacijom (FFT).



S1.9. FFT izlaza modulatora drugog reda

U ovom slučaju uzet je u obzir i uticaj šumova ( $KT/C$ , džiter takta, šum operacionog pojačavača). Potiskivanje harmonika je umanjeno u odnosu na modele koji ne uzimaju uticaj šuma ali je i dalje u prihvatljivim granicama. Za

generisanje rezultata prikazanih na slici 9, korišćen je MATLAB programski paket. Modeli dekamacionih filtara i sigma-delta modulatora sa uticajem šumava kreirani su kombinacijom MATLAB skriptova i Simulink testbench okruženja.

#### 4. ZAKLJUČAK

Diskutovane su tri arhitekture pogodne za implementaciju multipleksiranog sigma-delta AD konvertora u trofaznom IMPEG čipu. Sve one se oslanjaju na korišćenje SH kola kako bi se ostvarilo sinhrono smplovanje svih ulaznih signala. Cilj je da se iskoristi što veći broj ranije projektovanih i testiranih analognih i digitalnih blokova. Da bi se to postiglo neophodno je aktivirati SH kola frekvencijom 524288Hz kako bi se dobio odgovarajući faktor smplovanja od 128. Ovaj zahtev može biti ispunjen ukoliko se frekvencija prekidanja u SC kolu sigma-delta modulatora uveća onoliko puta koliko se poveća i broj analognih ulaza koje modulator treba da obradi. Uvećanje frekvencije prekidanja otvara problem pouzdanog rada korišćenog operacionog pojačavača u SC kolu integratora sa stanovišta dinamičkih i frekvencijskih karakteristika.

Nakon fizičke realizacije očekuje se da čip pouzdano i neprekidno radi u brojilu najmanje deset godina. Prema tome u procesu projektovanja ne treba insistirati na graničnim uslovima rada. Ukoliko kolo radi pri umerenim uslovima pouzdanost mu se povećava. Vremenske performanse operacionog pojačavača su ključne za ostvarivanje visokih frekvencija prekidanja u SC kolu integratora. U konačnom ishodu, ukoliko se funkcionalnost i performanse dovedu u pitanje bolje je „žrtvovati“ deo porstora na čipu ukoliko se time dobija robusnija i pouzdanija komponenta.

Kako se u realizaciji modulatora koriste SC integratori, uvećanje frekvencije prekidanja SC kola dalje utiče na dimenzije kondenzatora. Naime za razliku od konvencionalnih integratora u realizaciji sa operacionim pojačavačem kod SC integratora otpornik je zamenjen SC kolom. Praktično ekvivalentna otpornost SC kola je srazmerna  $Rek \sim 1/fswCs$  gde je  $fsw$  frekvencija prekidanja, a  $Cs$  vrednost kapacitivnosti kondenzatora u SC kolu. Kako bi se zadržala ista ekvivalentna otpornost kao i u originalnom kolu, prilikom povećanja  $fsw$  mora se smanjiti vrednost kondenzatora  $Cs$ . To praktično znači da ukoliko se  $fsw$  uveća  $N$  puta, dimenziju  $Cs$  kondenzatora treba smanjiti  $N$  puta. Sa druge strane pojačanje integratora je  $\sim Cs/Cf$  gde je  $Cf$  vrednost kondenzatora u povratnoj sprezi operacionog pojačavača. Tako, da bi se zadržalo isto pojačanje, mora se smanjiti i vrednost kapacitivnosti  $Cf$ . Dobro je da u oba slučaja treba smanjiti vrednost kondenzatora u SC kolu, što dovodi do dodatne uštede u površini čipa. Srećom ove izmene se mogu izvesti realtivno jednostavnim izmenama u leajutu pomentih kondenzatora. Naime svaki od kondenzatora u SC kolu je posebno projektovan kao uparena struktura van leajauta samog SC integratora što zadovoljava osnovni zatev da se u novom projektu koriste već projektovane makro-čelije.

Postojeći, projektovan i testiran operacioni pojačavač ima odgovarajući propusni opeg (GBW) i slew rate. Ovi parametri određuju ključna ograničenja za maksimalnu frekvenciju prekidanja SC kola.

Konačno, izabrano rešenje je bazirano na primeni dva AD konvertora sa 3 u 1 multiplekserima na ulazu. Jedan se koristi za konverziju tri napona, a drugi za konverziju odgovarajućih struja. Ovakva arhitektura uklapa se u već ostvaren koncept odvajanja strujnog i naponskog kanala u cilju zaštite

osetljivog strujnog kanala od mogućih preslušavanja iz naponskog kanala.

#### ZAHVALNOST

Rezultati prikazani u ovom radu ostvareni su u okviru projekta TR 11007. čiju realizaciju finansira Ministarstvo nauke Republike Srbije u periodu 2008-2010.

#### LITERATURA

- [1] M. Andrejević, M. Savić, M. Nikolić, B. Anđelković, „TOP-LEVEL layout design of solid-state energy meter”, *Proc. of ETRAN 2004.*, Vol. I, ISBN 86-80509-49-3, pp. 13-16.A.E.
- [2] M. Sokolović, M. Nikolić, M. Andrejević, P. Petković, “ADC Testing of an Integrated Power Meter”, *Proc. of 5th Symposium industrial electronics, INDEL 2004*, Banja Luka, 11-12. November 2004., ISBN 86-7122-014-1, pp. 132-137B.
- [3] D. Milovanović, M. Savić, M. Nikolić, “Second-Order Sigma-Delta Modulator In Standard CMOS Technology”, *ETRAN 2004, Proc. of ETRAN 2004.*, Vol. I, ISBN 86-80509-49-3, pp. 17-20.
- [4] P. Petković, V. Litovski, “Concept of integrated power meter“ , (in Serbian), *13th International Symposium On Power Electronics*, Novi Sad, 02.11.-04.11., 2005, T4-4.6, pp.1-5.
- [5] M. Marinković, M. Anđelković, P. Petković, “Compact MAC Architecture of FIR Filters in Solid-State Energy Meter“, *Proceedings of IEEE Region 8 EUROCON 2005 Conference*, Beograd, 21.11.-24.11., 2005, pp. 1683-1686.
- [6] C. Conroy, B. Kim, O. E. Erdogan, “Multiplexed ADC for a Tranceiver“, *US Patent No. 7203222B1*, Apr. 2007.
- [7] M. Yunus, “Multiplexed Sigma-Delta A/D Converter“, *US Patent No. 5150120*, Sept. 1992.
- [8] M. Nikolić, „Layout Design of Mixed-Signal CMOS Integrated Circuits“ (in Serbian), *Master thesis, Faculty of Electronic Engineering Niš*, Serbia, 2006.

**Abstract** – This paper describes three architectures for multi-channel sigma-delta ADC IC design. The proposed solution is aimed for the front-end of a three-phase integrated power meter. The pervious version of the power meter is to be redesigned by substituting six ADCs with two: one for converting currents and another for converting voltages in the three-phase power system. Therefore one pair of analog 3-to-1 multiplexers precedes ADCs. Discussion of advantages and drawbacks of the proposed solutions is illustrated by simulations using ADMS simulator that is a part of Mentor Graphics design kit. For elaboration of simulation result and building some of the models MATLAB is used as a tool. Also some of the test benches are implemented using MATLABs Simulink environment

#### MULTI-CHANNEL $\Sigma\Delta$ A/D CONVERTER FOR INTEGRATED POWER METER

Dejan Mirković, Predrag Petković